





**Multi-layer substrates**

**Patent number:** CN1279157  
**Publication date:** 2001-01-10  
**Inventor:** HIDEYUKI KURITA (JP); MASAYUKI NAKAMURA (JP)  
**Applicant:** SONY CHEMICAL K K (JP)  
**Classification:**  
- **international:** H01L23/498; H05K1/02; H05K3/46; H01L23/48; H05K1/02; H05K3/46; (IPC 1-7): B32B15/08; H05K1/03  
- **european:** H01L23/498D; H01L23/498M8; H05K1/02E; H05K3/46B5  
**Application number:** CN20000118480 20000628  
**Priority number(s):** JP19990183375 19990629

**Also published as:**

 EP1065717 (A2)  
 US6399891 (B1)  
 JP2001015929 (A)  
 EP1065717 (A3)

**Report a data error here**

Abstract not available for CN1279157

Abstract of corresponding document: EP1065717

A multilayer board free from breakage at connecting parts due to thermal fatigue is provided. A multilayer board 1 of the present invention comprises alternating polyimide films 11-16 and copper films 21-26. The polyimide films 11-16 have a thermal expansion coefficient of 2-5 ppm/ DEG C so that the multilayer board 1 has a total thermal expansion coefficient of less than 10 ppm/ DEG C. Because of the thermal expansion coefficient close to that of the semiconductor element to be mounted, no breakage occurs at connecting parts to the semiconductor element. The multilayer board 1 of the present invention may be used as both interposer and motherboard.

Data supplied from the esp@cenet database - Worldwide

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

B32B 15/08

H05K 1/03

## [12] 发明专利申请公开说明书

[21] 申请号 00118480.6

[43] 公开日 2001 年 1 月 10 日

[11] 公开号 CN 1279157A

[22] 申请日 2000.6.28 [21] 申请号 00118480.6

[30] 优先权

[32] 1999.6.29 [33] JP [31] 183375/1999

[71] 申请人 索尼化学株式会社

地址 日本东京都

[72] 发明人 栗田英之 中村雅之

[74] 专利代理机构 中国专利代理(香港)有限公司

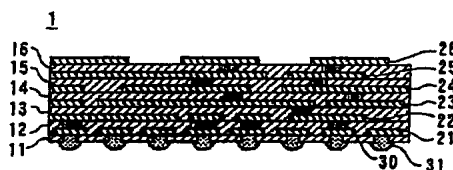
代理人 杨 凯 叶恺东

权利要求书 3 页 说明书 7 页 附图页数 4 页

[54] 发明名称 多层基板

[57] 摘要

本发明提供一种没有因热疲劳引起的连接部分的破坏的多层基板。本发明的多层基板 1 中,交替地层叠了聚酰亚胺膜 11~16 与铜膜 21~26。通过使聚酰亚胺膜 11~16 的热膨胀系数为 2~5ppm/°C,可使多层基板 1 整体的热膨胀系数不到 10ppm/°C。由于接近于所安装的半导体元件的热膨胀系数,故与半导体元件的连接部分不受到破坏。可将本发明的多层基板 1 用作插入板或母板。



ISSN 1008-4274

# 说明书附图

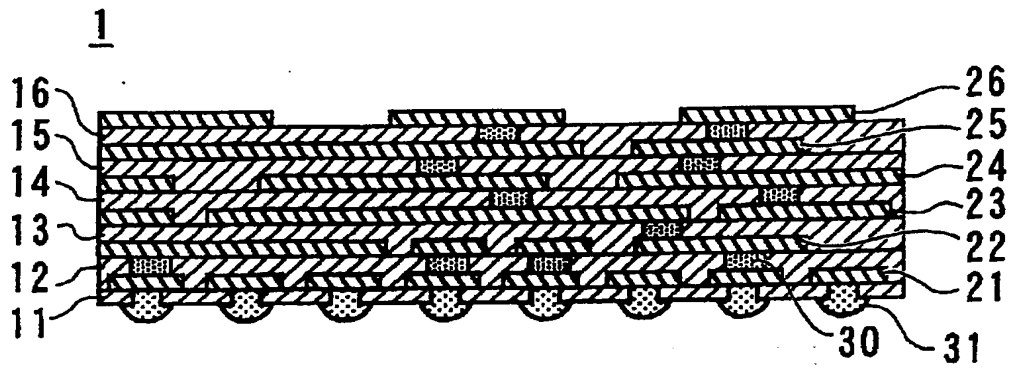


图 1

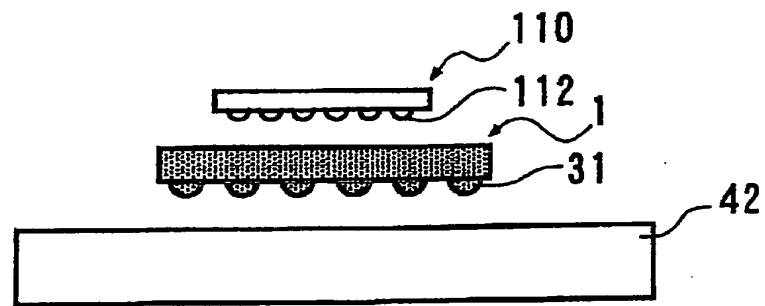


图 2a

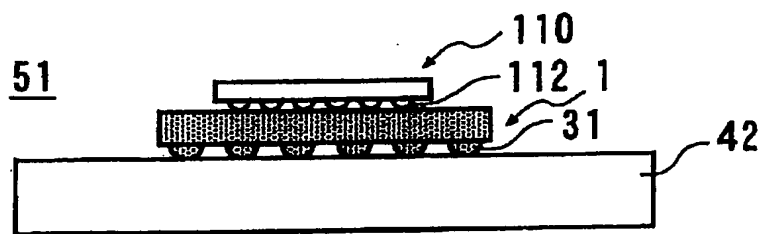


图 2b

℃且为 30ppm/℃以下（在此，为 15ppm/℃）的聚酰亚胺膜作为表面层部分的聚酰亚胺膜 A<sub>1</sub>、A<sub>5</sub>。

第 3 评价用基板与第 2 评价用基板相反，使用了热膨胀系数超过 5ppm/℃且为 30ppm/℃以下（在此，为 18ppm/℃）的聚酰亚胺膜只作为多层基板 9 的厚度方向中央部分的 1 层聚酰亚胺膜 A<sub>3</sub>，而且，使用了热膨胀系数为 2ppm/℃以上 5ppm/℃以下（在此，4 层全部为 4ppm/℃）的聚酰亚胺膜作为表面部分的聚酰亚胺膜 A<sub>1</sub>、A<sub>2</sub>、A<sub>4</sub>、A<sub>5</sub>。

如从上述表 1 可知，在第 1~第 3 评价用基板中，整体的热膨胀系数不到 10ppm/℃。

再有，热膨胀系数为 3ppm/℃的聚酰亚胺膜可使聚二氨基联苯、3, 3 二甲基 4, 4 二氨基联苯、2 甲基聚二氨基苯等的胺与无水苯均四酸、或 3, 4, 3', 4'联苯四碳酸二无水物等的酸反应来得到。

为了形成热膨胀系数为 15ppm/℃的聚酰亚胺膜，可使用无水苯均四酸或 3, 4, 3', 4'联苯四碳酸二无水物等的酸作为酸。此外，可使用 3, 3'噻啉 4, 4'二氨基联苯、4, 4'二氨基联苯醚、二氨基比啉、4, 4'二氨基苯基苯胺作为胺。

### 【实施例】

其次，说明使用本发明的多层基板来安装半导体元件的情况。

参照图 1，符号 1 表示本发明的第 1 例的多层基板。

该多层基板 1 具有各 6 层树脂层 11~16 和导电层 21~26。

导电层 21~26 由膜厚为 12μm 的铜膜构成，树脂层 11~16 由聚酰亚胺膜构成。

导电层 21~26 与树脂层 11~16 逐层交替地配置，以导电层 21~26 相互间不接触的方式进行了层叠。

在位于导电层 21~26 间的树脂层 11~16 的规定位置上形成了孔。利用电镀法等在各孔内充填导电性物质（在此，是铜），利用充填物形成了栓（plug）30。

将导电层 21~26 构图为规定形状，形成了在各导电层 21~26 的膜扩展方向上延伸的布线。利用栓 30 导电性地连接各层的布线间。

利用在表面上露出的导电层 26，在该多层基板 1 上设置了键合区，在半导体元件等上设置的凸起物可与该键合区连接。

在背面一侧，在最下层的导电层 21 上设置了导电性的凸起（在此，

是铜凸点) 31. 背面一侧的导电层 21 被树脂层 11 覆盖, 导电性的凸起 31 的前端从树脂层 11 突出。

图 2(a) 的符号 1 是上述第 1 例的多层基板, 如果使多层基板 1 的导电性的凸起 31 朝向母板 42 表面的布线图形, 此外, 使半导体元件 110 的凸起 112 朝向多层基板 1 的导电层 26 来进行连接, 则可得到该图 (b) 中示出的本发明的半导体装置 51. 在该半导体装置 51 中, 半导体元件 110 内的电子电路通过多层基板 1 内的导电层 21~26 和栓 30 与设置在母板 42 上的布线图形连接。

该层叠结构的多层基板 1 (以及后述的第 2 例以后的多层基板 2~5) 的整体的膜扩展方向的热膨胀系数不到  $10\text{ppm}/^{\circ}\text{C}$ , 在半导体元件 110 的凸起 112 或多层基板 1 的导电性的凸起 31 中不会产生因热疲劳引起的破坏。

#### 【实施例】

图 3 的符号 2 为本发明的第 2 例的多层基板, 其结构与第 1 例的多层基板 1 相同。

在此, 第 2 例的多层基板 2 代替图 2(a)、(b) 的母板 42 而被使用, 如果使用没有凸起的插入板 125 来连接在多层基板 2 的表面上形成的导电性的凸起 32 与半导体元件 110 的凸起 112, 则可制造本发明的半导体装置 52。

即使在该半导体装置 52, 如果使用单层基板作为插入板 125, 则由于单层基板的热膨胀系数接近于金属膜 (铜膜) 的热膨胀系数, 故与第 1 例的多层基板 1 相同, 不产生半导体元件 110 的凸起的破坏。

#### 【实施例】

图 4(a)、(b) 的符号 2 与图 3(a)、(b) 中示出的符号相同, 是本发明的第 2 例的多层基板, 符号 3 是在表面和背面上设置了键合区的本发明的第 3 例的多层基板。

将该第 3 例的多层基板 3 用作插入板, 如果如图 4(a) 中所示, 将其配置在半导体元件 110 与多层基板 2 之间, 将半导体元件的凸起 112 和第 2 例的多层基板 3 的凸起 32 安装在第 3 例的多层基板 3 的键合区上, 则可制造本发明的半导体装置 53。

#### 【实施例】

图 5(a)、(b) 的符号 4 表示本发明的第 4 实施例的多层基板。该